

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-300824

(43)Date of publication of application : 28.10.1994

(51)Int.Cl.

G01R 31/302

H01L 21/66

(21)Application number : 05-085817

(71)Applicant : NEC CORP

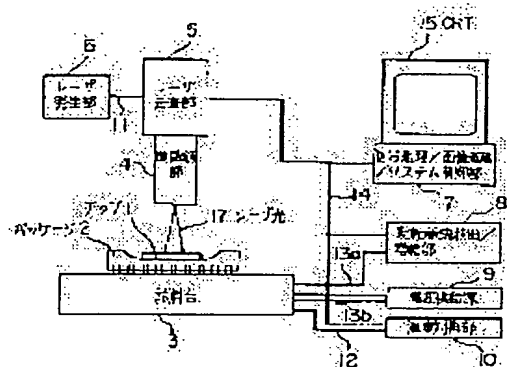
(22)Date of filing : 13.04.1993

(72)Inventor : FUTAGAWA KIYOSHI

(54) METHOD AND EQUIPMENT FOR INSPECTING INTERNAL MUTUAL WIRING OF SEMICONDUCTOR INTEGRATED CIRCUIT**(57)Abstract:**

PURPOSE: To detect a defect of an internal mutual wiring of a semiconductor integrated circuit in a short time and in a nondestructive manner.

CONSTITUTION: In a state wherein a current is supplied to a semiconductor integrated circuit chip 1 by a voltage supply source 9, a thinned laser light 17 is applied in scanning onto the semiconductor integrated circuit chip 1 and a spot wherein a change in the current is large is detected by a fluctuating current detecting/amplifying part 8. Since the spot which is detected by the fluctuating current detecting/amplifying part 8 and wherein the change in the current is large corresponds to a spot wherein a defect hindering thermal conduction exists, a defect such as a void can be detected. Since the detection is based on such a principle as stated above, the defect can be detected even when it is not exposed on a surface.

**LEGAL STATUS**

[Date of request for examination] 13.04.1993

[Date of sending the examiner's decision of rejection] 24.09.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2765427

[Date of registration] 03.04.1998

[Number of appeal against examiner's decision of rejection] 09-17993

[Date of requesting appeal against examiner's decision of rejection] 23.10.1997

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-300824

(43)公開日 平成6年(1994)10月28日

(51)Int.Cl. ³	識別記号	庁内整理番号	FI	技術表示箇所
G 0 1 R 31/302				
H 0 1 L 21/66	S	7630-4M 6912-2G	G 0 1 R 31/ 28	L

審査請求 有 請求項の数 7 O L (全 5 頁)

(21)出願番号 特願平5-85817

(22)出願日 平成5年(1993)4月13日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 二川 清

東京都港区芝五丁目7番1号 日本電気株式会社内

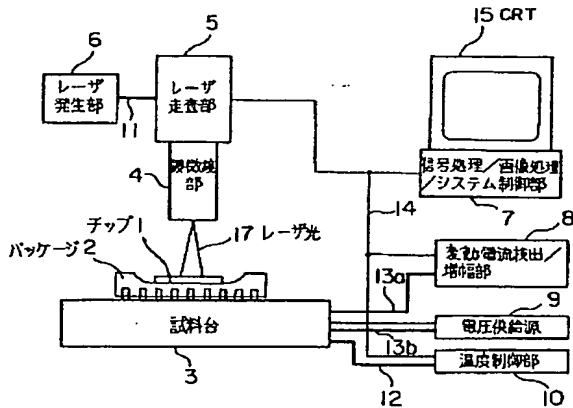
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体集積回路内部相互配線の検査方法および装置

(57)【要約】

【目的】 半導体集積回路の内部相互配線の欠陥を短時間で非破壊で検出する。

【構成】 半導体集積回路チップ1に電圧供給源9で電流を供給した状態で、半導体集積回路チップ1上に細く絞ったレーザ光を走査しながら照射し、変動電流検出／増幅部8で電流変化の大きな箇所を検出する。変動電流検出／増幅部8で電流変化の大きな箇所は熱伝導を阻止する欠陥のある箇所に対応するので、ボイド等の欠陥が検出できる。このような原理によるので欠陥は表面に露出していない場合でも検出できる。



【特許請求の範囲】

【請求項1】半導体集積回路の内部相互配線に電流を流した状態で、半導体集積回路にレーザビームを走査しながら照射し、前記内部相互配線に流れる電流の変化を検知することで、前記内部相互配線の欠陥を検出することを特徴とする半導体集積回路内部相互配線の検査方法。

【請求項2】前記電流を、輝度の情報に変換して画像表示し、前記電流変化の検知を画像上で行うことを特徴とする請求項1記載の半導体集積回路内部相互配線の検査方法。

【請求項3】前記電流変化の検知を行う際に、外部から前記半導体集積回路の温度制御を行うことで変化前の電流をできる限り小さくすることにより、前記電流変化の検出の感度を向上させることを特徴とする請求項1記載の半導体集積回路内部相互配線の検査方法。

【請求項4】前記レーザビームの代わりに電子ビームまたはイオンビームを用いることを特徴とする請求項1、2または3記載の半導体集積回路内部相互配線の検査方法。

【請求項5】半導体集積回路の内部相互配線に電流を供給する手段と、
前記半導体集積回路にレーザビームを走査しながら照射するレーザビーム照射手段と、
前記内部相互配線に流れる電流の変化を検知し、前記内部相互配線の欠陥を検出する手段と、を備えることを特徴とする半導体集積回路内部相互配線の検査装置。

【請求項6】前記半導体集積回路の温度制御を行う手段をさらに備えることを特徴とする半導体集積回路内部相互配線の検査装置。

【請求項7】前記レーザビーム照射手段の代わりに、電子ビームまたはイオンビーム照射手段を用いることを特徴とする請求項5または6記載の半導体集積回路内部相互配線の検査装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路チップ上の欠陥の検査方法および装置に関し、特に半導体集積回路チップ上内部相互配線の欠陥をレーザビームまたは電子ビームやイオンビームを用いて検査する方法および装置に関するものである。

【0002】

【従来の技術】従来、この種の欠陥の「検査方法および装置」（以下「方法」とのみ略して記す）は、たとえば「W. Lee Smith et. al., "Direct measurement of stress-induced void growth by the thermal wave modulated optical reflectance imaging", 1990 IRPS (IEEE), 200-208, (1990).」に示されるように、2種類のレーザビームを

用い、一方のレーザビームでプローブし、もう一方のビームで検知するという方法をとっている。

【0003】図3は、従来の半導体集積回路チップ上内部相互配線の欠陥をレーザビームを用いて検査する方法の一例（第1の従来例）を示す図である。プローブレーザ発生部19からのプローブレーザ21により試料26をプローブする。一方、ポンプレーザ発生部18から、ポンプレーザと呼ばれる強度変化のあるレーザ20を試料26上に照射し、その結果試料上に生じた反射率の変化をプローブレーザ21の反射率の変化としてサーマルウェーブシグナル検出器22で検出する。

【0004】図中、24はプローブレーザ強度の時間変化を示し、23はポンプレーザ強度の時間変化を示し、25はサーマルウェーブシグナルによる反射率の検出を示している。

【0005】また半導体試料の欠陥を検査する方法にも、レーザビームを用いるものがある（第2の従来例）。これは図4にその概念を示すように、電圧供給源9により電圧が印加された半導体試料27にレーザビーム17を照射し、その結果半導体内部に発生する電子-正孔対（電子28、正孔29）を電流の変化として検出しようとするもので、OBIC (optical beam induced current) 法としてよく知られている。

【0006】

【発明が解決しようとする課題】図3で説明した従来の欠陥検出法では、レーザを2台用いる必要があり、かつその2つのレーザビームを μm オーダーからサブ μm オーダーの精度で同一箇所照射しなければならないため、レーザビームを直接走査できず、試料台を走査しなければならない。従って走査に時間がかかり、像を取得するのに時間がかかるという問題があった。

【0007】また図4で説明した従来のOBIC法は、試料が半導体あるいは半導体を含むものを対象物質としており、金属を対象物質とすることについては、開示していない。

【0008】本発明の目的は、照射レーザ自体を走査でき、半導体集積回路の内部相互配線の欠陥を短時間で非破壊で検出する検査方法および装置を提供することにある。

【0009】

【課題を解決するための手段】本発明の半導体集積回路内部相互配線の検査方法は、半導体集積回路の内部相互配線に電流を流した状態で、半導体集積回路にレーザビームを走査しながら照射し、前記内部相互配線に流れる電流の変化を検知することで、前記内部相互配線の欠陥を検出することを特徴とする。

【0010】また本発明の半導体集積回路内部相互配線の検査装置は、半導体集積回路の内部相互配線に電流を供給する手段と、前記半導体集積回路にレーザビームを

走査しながら照射するレーザビーム照射手段と、前記内部相互配線に流れる電流の変化を検知し、前記内部相互配線の欠陥を検出する手段と、を備えることを特徴とする。

【0011】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0012】図1は、本発明の一実施例を示す装置構成図である。この半導体集積回路内部相互配線の検査装置は、検査対象物である試料を設置する試料台3を備え、この試料台3には、試料に電圧を供給する電圧供給源9と、試料の各点にレーザビームを照射した瞬間の電流の変化を検出する変動電流検出／増幅部8とが、電流伝送路13a、13bをそれぞれ介して接続されている。また、試料台3には、試料の温度を制御するための温度制御部10が、熱媒体用パイプ12を介して連結されている。

【0013】試料台3の上部には、レーザを発生するレーザ発生部6、レーザを試料に走査するレーザ走査部5と、顕微鏡部4とが設けられている。

【0014】本実施例の装置は、さらに、信号処理／画像処理／システム制御部7と、これに接続されたCRT15とを備えている。

【0015】信号処理／画像処理／システム制御部7は、信号線14を介してレーザ走査部5と、変動電流検出／増幅部8と、温度制御部10に接続されており、信号を位置と輝度の情報に変換したのちCRT15上に、輝度が電流値の変化に対応した像として表示させる。

【0016】次に、この検査装置を用いて、半導体集積回路内部相互配線の欠陥を検出する方法を説明する。

【0017】チップ1がマウントされたパッケージ2を試料台3に設置する。チップ1に電圧供給源9から電圧を供給する。これによりチップ配線に電圧が印加される。この状態で、レーザ発生部6は、レーザを発生する。発生されたレーザは光伝送路11を経てレーザ走査部5へ送られる。顕微鏡部4を介して、 μm オーダーからサブ μm オーダーに絞ったレーザ光17をチップ1上に走査しながら照射する。レーザ光の照射によりチップ上配線に流れる電流が変化する。チップ1上の各点での電流の変化を変動電流検出／増幅部8で検出し、信号処理／画像処理／システム制御部7で信号を位置と輝度の情報に変換したのち、CRT15上に、輝度が電流値の変化に対応した像として表示する。ボイド等の欠陥がある箇所は熱伝導が悪いためその付近の抵抗が増大する結果、電流変化が大きくなる。従って電流の変化に対応したコントラストの変化が観測できる。欠陥が表面に出ておらず光学顕微鏡像や走査型電子顕微鏡像では検出できない欠陥が検出できる点は前述の第1の従来例と同様である。また、検出の感度を上げるためにレーザを照射しない状態での電流量をできる限り減らすために、温度制御

部10から熱媒体用パイプ12を介してチップ1の温度を制御し最も電流の小さい温度においてこの検査を実施することも有効である。

【0018】図2は、本発明の検査装置の他の実施例を示す図である。本実施例は、図1での電圧供給源9をLSIテスト16に置き換えたことが特徴である。その他の構成は、図1と同一であり、同一の構成要素には、同一の参照番号を付して示してあるが、レーザ発生部6、レーザ走査部5、顕微鏡部4、信号処理／画像処理／システム制御部7、温度制御部10は図示を省略してある。

【0019】LSIテスト16は、電流伝送路13により、図示のようにパッケージ2、変動電流検出／増幅部8に接続され、また、信号線31によりパッケージ2に接続されている。

【0020】本実施例によれば、LSIテストにより電源供給および信号供給を行いながらこの検査を実施することで、特別な動作状態でしか電流が流れないようなチップ上の内部相互配線に対しても検査が可能になる。

【0021】以上、本発明の実施例を説明したが、本発明はこれら実施例に限定されるものではない。例えば、レーザビームの代わりに電子ビームやイオンビームを用いることもできる。

【0022】

【発明の効果】以上説明したように、本発明の欠陥検査方法および装置では、欠陥検出のための特性値として抵抗の温度変化を用いているので、その変化を見るために照射するレーザは1本で済み、従来のように2本のレーザビームの位置合わせが不要となるため、照射レーザ自体を走査することが容易にでき、高速な走査が可能のため像取得時間の大幅な短縮が計れる。一例では、第1の従来例では6分かかったものが、本発明による方法では0.5秒と実に7200分の1という大幅な短縮が実現できた。

【図面の簡単な説明】

【図1】第1の実施例を示す装置構成図である。

【図2】第2の実施例を示す装置構成図である。

【図3】第1の従来例を示す概念図である。

【図4】第2の従来例を示す概念図である。

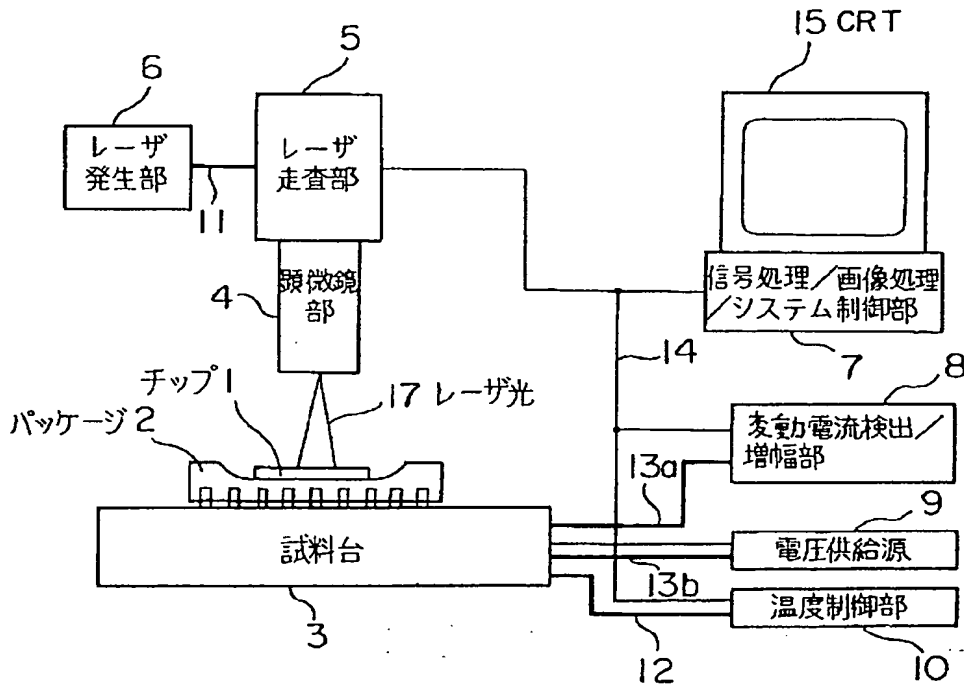
【符号の説明】

- 1 チップ
- 2 パッケージ
- 3 試料台
- 4 顕微鏡部
- 5 レーザ走査部
- 6 レーザ発生部
- 7 信号処理／画像処理／システム制御部
- 8 変動電流検出／増幅部
- 9 電圧供給源
- 10 温度制御部

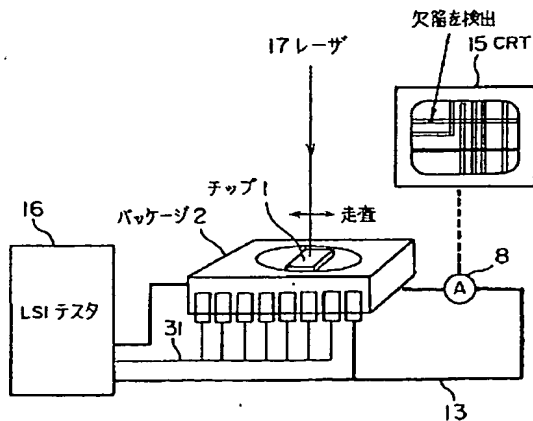
- 11 光伝送路
- 12 熱媒体用パイプ
- 13 電流伝送路（電源線）
- 14, 31 信号線
- 15 CRT
- 16 LSI テスタ
- 17 レーザ
- 18 ポンプレーザ発生部
- 19 プロブレーザ発生部
- 20 ポンプレーザ

- 21 プロブレーザ
- 22 サーマルウェーブシグナル検出器
- 23 ポンプレーザ強度の時間変化概念図
- 24 プロブレーザ強度の時間変化概念図
- 25 サーマルウェーブシグナルによる反射率の検出概念図
- 26 サンプル
- 27 半導体試料
- 28 電子
- 29 正孔

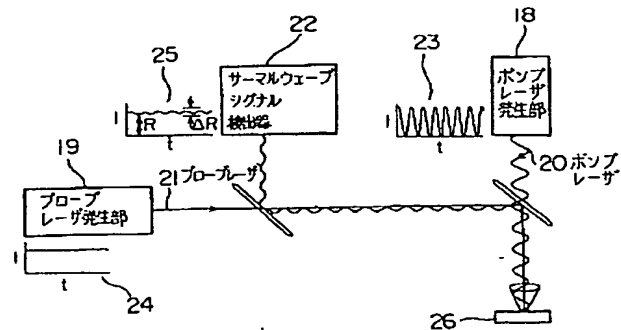
【図1】



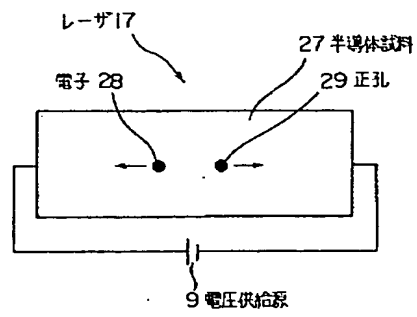
【図2】



【図3】



【図4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.